



产品系列

| 产品系列 | 速率 | 温度范围 | 隔离耐压 | 封装 |
|---------|----|-----------|---------|-----|
| DPort-M | 百兆 | -40℃~+85℃ | 1500VAC | THT |
| DPort-G | 千兆 | -40℃~+85℃ | 1500VAC | THT |

产品特性

- ◆ 符合 IEEE 802.3/az/u/ab 标准
- ◆ 分立元件模块化，简化电路设计
- ◆ 采用 THT 式封装，易于更换
- ◆ 提高 PCB 板空间利用率
- ◆ 外壳材料符合 UL94 V-0 标准
- ◆ 具有极低电磁辐射和高的抗电磁干扰性
- ◆ 高低温特性好，满足工业级产品要求

产品应用

- ◆ 电力监控
- ◆ 工业控制
- ◆ 医疗电子
- ◆ 仪器仪表
- ◆ 石油化工
- ◆ 轨道交通
- ◆ 智能家居等

产品型号

| 产品型号 | 电源电压 (电压范围) (VDC) | 禁用网卡 (mA, Typ) | 启用网卡 (mA, Typ) | Ping 通讯 (mA, Typ) | 通讯速率 (Mbps) | 内部接口 | 外部接口 |
|---------|-------------------------|-------------------|-------------------|----------------------|----------------|-------|------|
| DPort-M | 3.3 (3.2-3.4) | 19 | 94 | 126 | 10/100 | RMII | RJ45 |
| DPort-G | 3.3 (3.2-3.4) | 18 | 60 | 260 | 10/100/1000 | RGMII | |

DPort-M 电气特性

| 参数 | 符号 | 条件 | 最小值 | 典型值 | 最大值 | 单位 |
|--------------------------|-----------------|-------------------------|---------|-----|------|-----|
| 输入电压 ⁽¹⁾ | V _{CC} | 100Mbps | 3.2 | 3.3 | 3.4 | V |
| REF_CLK | 时钟频率 | F _{clk} | -- | 50 | -- | MHz |
| | 时钟占空比 | T _{Duty} | 100Mbps | 35 | -- | 65 |
| TXD[1:0]/TXEN | 信号建立时间 | T _{Setup_tx} | 100Mbps | 4 | -- | ns |
| | 信号保持时间 | T _{Hold_tx} | 100Mbps | 2 | -- | ns |
| RXD[1:0]/ CRS_DV/RXER | 输出延时时间 | T _{Delay_rx} | 100Mbps | 2 | -- | ns |
| MDC | 时钟频率 | F _{mdc} | -- | -- | 12.5 | MHz |
| MDIO | 输入建立时间 | T _{Setup_mdio} | -- | 10 | -- | ns |
| | 输入保持时间 | T _{Hold_mdio} | -- | 10 | -- | ns |
| | 输出延迟时间 | T _{Delay_mdio} | -- | -- | -- | 20 |

DPort-G 电气特性

| 参数 | 符号 | 条件 | 最小值 | 典型值 | 最大值 | 单位 | |
|---------------------|-----------------|-------------------------|-----------------|-----|------------|------|-----|
| 输入电压 ⁽¹⁾ | V _{CC} | 1000Mbps | 3.2 | 3.3 | 3.4 | V | |
| TXCLK/ RXCLK | 时钟频率 | F _{clk} | 1000/100/10Mbps | -- | 125/25/2.5 | -- | MHz |
| | 时钟占空比 | T _{Duty} | 1000Mbps | 45 | 50 | 55 | % |
| 100/10Mbps | | | 40 | 50 | 60 | % | |
| TXD[3:0]/ TXCTL | 信号建立时间 | T _{Setup_tx} | 1000Mbps | 1 | 2 | -- | ns |
| | 信号保持时间 | T _{Hold_tx} | 1000Mbps | 1 | 2 | -- | ns |
| RXD[3:0]/ RXCTL | 信号建立时间 | T _{Setup_rx} | 1000Mbps | 1 | 2 | -- | ns |
| | 信号保持时间 | T _{Hold_rx} | 1000Mbps | 1 | 2 | -- | ns |
| MDC | 时钟频率 | F _{mdc} | -- | -- | -- | 12.5 | MHz |
| MDIO | 输入建立时间 | T _{Setup_mdio} | -- | 10 | -- | -- | ns |
| | 输入保持时间 | T _{Hold_mdio} | -- | 10 | -- | -- | ns |
| | 输出延迟时间 | T _{Delay_mdio} | -- | -- | -- | 20 | ns |

极限特性

| 参数 | 条件 | 最小值 | 典型值 | 最大值 | 单位 |
|--------|--------------------|-----|-----|-----|----|
| 管脚焊接温度 | 焊点距离外壳 1.5mm, 10 秒 | -- | 260 | 300 | °C |
| 热插拔 | | 不支持 | | | |

一般特性

| 参数 | 条件 | 最小值 | 典型值 | 最大值 | 单位 |
|------|---------------------------|---------------------------------|------|-----|-----|
| 隔离电压 | 输入-输出, 时间 1 分钟, 漏电流小于 1mA | -- | 1500 | -- | VAC |
| 绝缘电阻 | 输入-输出, 绝缘电压 500VDC | -- | 1 | -- | GΩ |
| 封装尺寸 | -- | 38.5×32.0×13.5 | | | mm |
| 外壳材料 | -- | 黑色阻燃塑胶外壳+金属屏蔽壳,, 符合 UL94 V-0 标准 | | | |

环境特性

| 参数 | 条件 | 最小值 | 典型值 | 最大值 | 单位 |
|------|------|------|-----|-----|----|
| 工作温度 | 上电工作 | -40 | +25 | +85 | °C |
| 存储温度 | 带包装 | -45 | +25 | +90 | |
| 存储湿度 | 无凝结 | 5 | -- | 95 | % |
| 冷却方式 | -- | 自然风冷 | | | |

EMC 特性

| | | | | | |
|--------------------|---------|-------------------------------|--|--|-----------------|
| EMS ⁽²⁾ | 静电放电抗扰度 | IEC/EN 61000-4-2 Contact ±8kV | | | Perf.Criteria B |
| | 脉冲群抗扰度 | IEC/EN 61000-4-4 ±2kV | | | Perf.Criteria B |
| | 共模浪涌抗扰度 | IEC/EN 61000-4-5 共模±2kV | | | Perf.Criteria A |
| | 传导骚扰抗扰度 | IEC/EN 61000-4-6 10Vr.m.s | | | Perf.Criteria A |

注：(1) 输入电压不能超过所规定范围值，否则可能会造成永久性不可恢复的损坏。

(2) 此参数仅限于 RJ45 端口，应用电路图中的大地必须连接，浪涌抗扰度按非屏蔽对称通信线试验配置进行测试。

(3) 如没有特殊说明，本手册中的参数都是在 25°C，湿度 40%~75%，输入标称电压下测得。

模块内部结构

传统以太网分立电路示意图如图 1 所示。

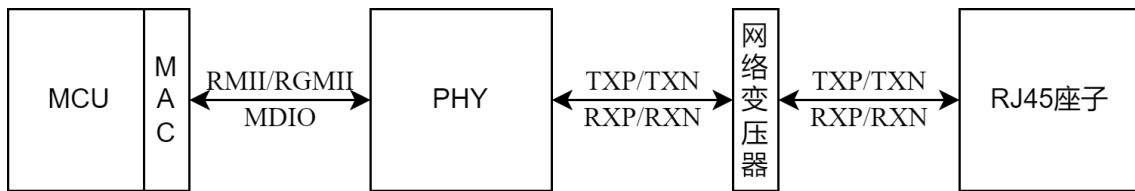


图 1 传统分立电路示意图

DPort 模块将 PHY、网络变压器等元件封装 RJ45 座子中，封装示意图如图 2 所示。

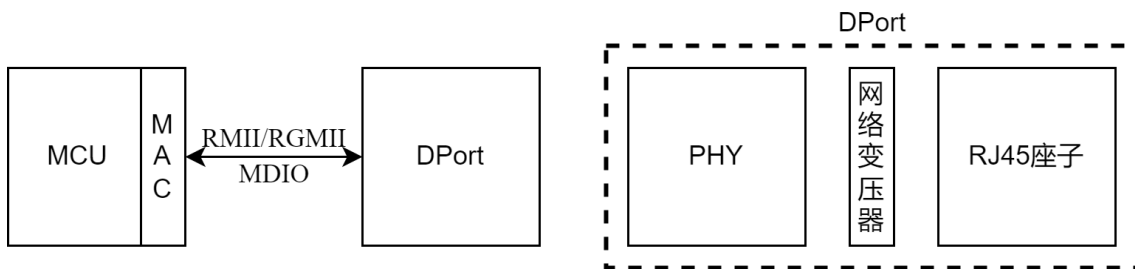


图 2 DPort 内部封装示意图

使用 DPort 模块进行电路设计时，只需完成 MCU 的 MAC 控制器和 DPort 模块管脚之间走线即可，无需处理 PHY 和网络变压器的外围电路布局和设计。

产品管脚说明

DPort 模块管脚顺序如图 3 所示。

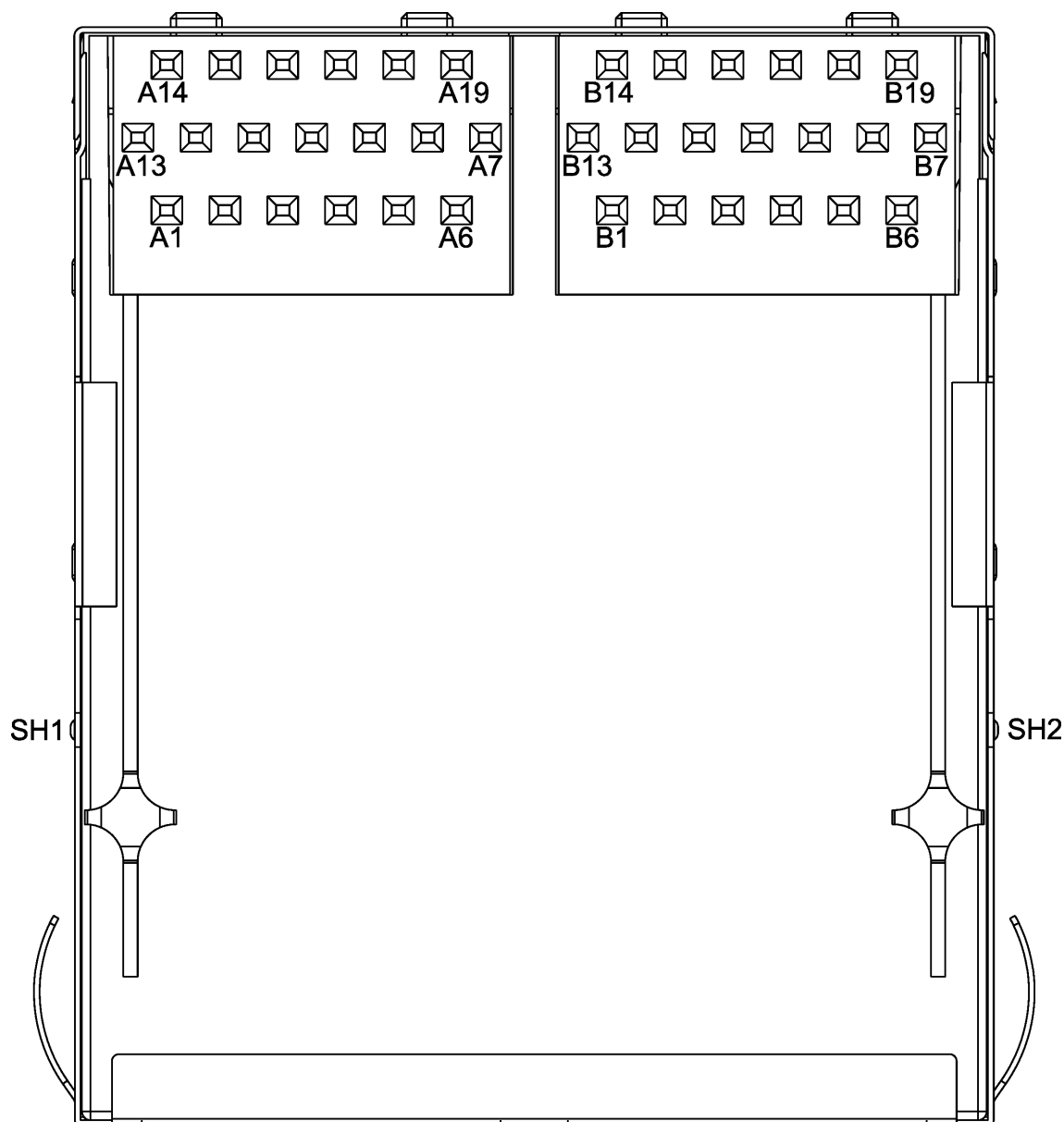


图 3 DPort 管脚顺序示意图（底视图）

DPort-M 管脚定义如表 1 所示。

表 1 DPort-M 管脚定义与描述

| 管脚号 | 标号 | 功能描述 | 管脚类型 | 模块内部连接 | 信号电平 |
|-------|-------------|------------|------|----------|------|
| A1、B1 | NC | 悬空 | | 悬空 | |
| A2、B2 | RMII_TXD1 | 以太网发送数据 1 | I | | 3.3V |
| A3、B3 | MDC | 以太网管理时钟信号 | I | | 3.3V |
| A4、B4 | MDIO | 以太网管理数据信号 | I/O | 上拉 4.7kΩ | 3.3V |
| A5、B5 | RMII_RXD1 | 以太网接收数据 1 | O | 串联 22Ω | 3.3V |
| A6、B6 | RMII_REFCLK | 50MHz 参考时钟 | I | | 3.3V |
| A7、B7 | RMII_RXD0 | 以太网接收数据 0 | O | 串联 22Ω | 3.3V |
| A8、B8 | RMII_RXER | 接收错误信号 | O | 串联 22Ω | 3.3V |

续上表

| 管脚号 | 标号 | 功能描述 | 管脚类型 | 模块内部连接 | 信号电平 |
|---------|------------|-----------|------|----------|------|
| A9、B9 | GND | 参考地 | P | | |
| A10、B10 | 3.3V | 3.3V 电源 | P | | |
| A11、B11 | GND | 参考地 | P | | |
| A12、B12 | PHY_AD1 | PHY 地址 1 | O | 弱下拉 | 3.3V |
| A13、B13 | RMII_TXD0 | 以太网发送数据 0 | I | | 3.3V |
| A14、B14 | RMII_TXEN | 以太网发送控制信号 | I | | 3.3V |
| A15、B15 | PHY_AD0 | PHY 地址 0 | O | 弱下拉 | 3.3V |
| A16、B16 | RESET_N | 以太网复位信号 | I | 上拉 4.7kΩ | 3.3V |
| A17、B17 | INT_N | 以太网中断信号 | O | 上拉 4.7kΩ | 3.3V |
| A18、B18 | NC | 悬空 | | 悬空 | 3.3V |
| A19、B19 | RMII_CRSDV | 载波检测 | O | 串联 22Ω | 3.3V |

DPort-G 管脚定义如表 2 所示。

表 2 DPort-G 管脚定义与描述

| 管脚号 | 标号 | 功能描述 | 管脚类型 | 模块内部连接 | 信号电平 |
|---------|---------------------|------------------------|------|---------------|------|
| A1、B1 | RGMII_TXCLK | 以太网发送时钟 | I | | 3.3V |
| A2、B2 | RGMII_TXD1 | 以太网发送数据 1 | I | | 3.3V |
| A3、B3 | MDC | 以太网管理时钟信号 | I | | 3.3V |
| A4、B4 | MDIO | 以太网管理数据信号 | I/O | 上拉 1.5kΩ | 3.3V |
| A5、B5 | RGMII_RXD1 | 以太网接收数据 1 | O | 串联 33Ω | 3.3V |
| A6、B6 | RGMII_RXCLK/ AD1 | 以太网接收时钟/ PHY 地址 1 | O | 弱下拉 串联 33Ω | 3.3V |
| A7、B7 | RGMII_RXD0 | 以太网接收数据 0 | O | 串联 33Ω | 3.3V |
| A8、B8 | RGMII_RXD3 | 以太网接收数据 3 | O | 串联 33Ω | 3.3V |
| A9、B9 | GND | 参考地 | P | | |
| A10、B10 | 3.3V | 3.3V 电源 | P | | |
| A11、B11 | RGMII_CLKOUT | 参考时钟输出 | O | 串联 33Ω | 3.3V |
| A12、B12 | RGMII_TXD3 | 以太网发送数据 3 | I | | 3.3V |
| A13、B13 | RGMII_TXD0 | 以太网发送数据 0 | I | | 3.3V |
| A14、B14 | RGMII_TXCTL | 以太网发送控制信号 | I | | 3.3V |
| A15、B15 | RGMII_TXD2 | 以太网发送数据 2 | I | | 3.3V |
| A16、B16 | RESET_N | 以太网复位信号 | I | 上拉 10kΩ | 3.3V |
| A17、B17 | INT_N | 以太网中断信号 | O | 上拉 4.7kΩ | 3.3V |
| A18、B18 | RGMII_RXD2 | 以太网接收数据 2 | O | 串联 33Ω | 3.3V |
| A19、B19 | RGMII_RXCTL/ AD2 | 以太网接收控制信号/ PHY 地址 2 | O | 弱下拉 串联 33Ω | 3.3V |

电路设计与应用

1. DPort-M 典型应用电路

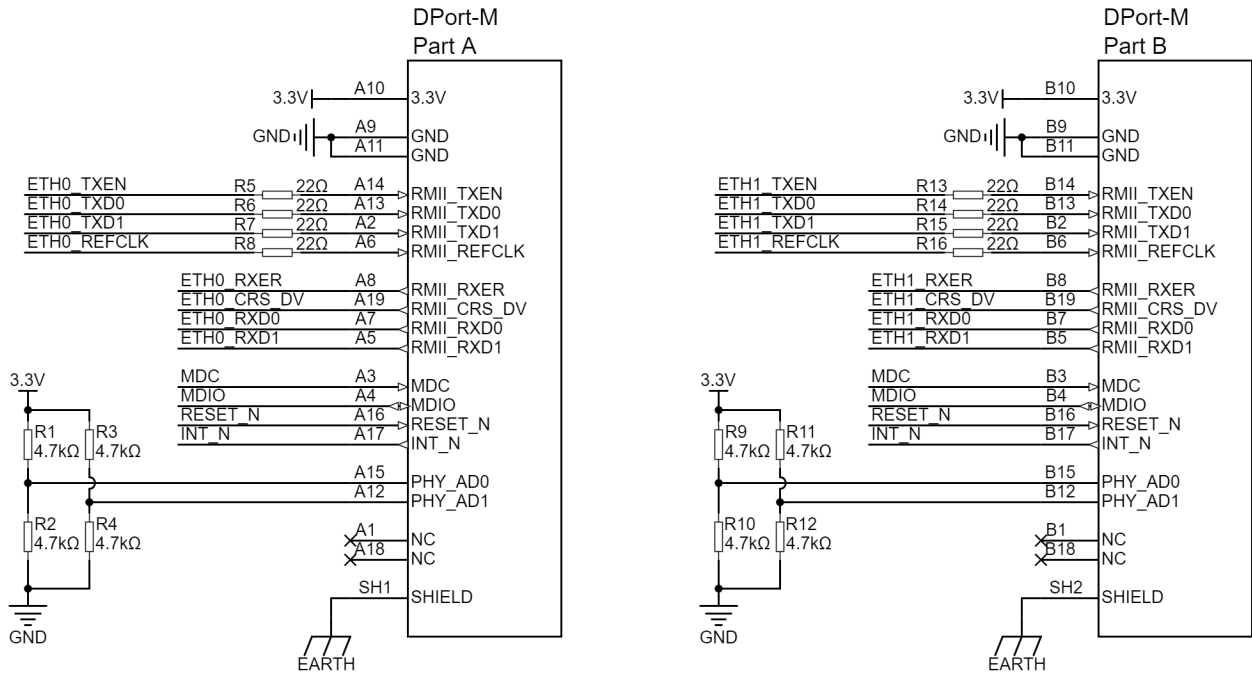


图 4 DPort-M 典型应用电路

DPort-M 的电路如图 4 所示，在使用时，只需将 RMII 接口、MDIO 接口和以太网控制器连接即可，为保证通讯质量，需要在 TXD 组信号线以及参考时钟串联 22Ω 电阻（图 4 中 R5~R8、R13~R16），并且靠近以太网控制器端（一般是 MCU）放置。当需要一路 MDIO 接口连接多个 DPort-M 模块时，需要在 DPort-M 模块的 A12、A15 和 B12、B15 管脚上选择焊接 R1/R2、R3/R4 和 R9/R10、R11/R12 电阻进行 PHY 地址配置，默认情况下 PHY_AD[1:0]=00。一路 MDIO 接口最多可以连接 2 个 DPort-M 模块。DPort-M 地址配置检索表如表 3 所示。

表 3 DPort-M 地址配置检索表

| PHY_AD1 | PHY_AD0 | PYH_Address |
|---------|---------|-------------|
| 0 | 0 | 00000 |
| 0 | 1 | 00001 |
| 1 | 0 | 00010 |
| 1 | 1 | 00011 |

在使用一路 MDIO 接口连接多个 DPort-M 模块时，不要使用 00000 地址。00000 地址是广播地址，对地址为 00000 的 DPort-M 模块操作时，所有的 DPort-M 模块都会响应。若必须使用一路 MDIO 接口管理 2 个 DPort-M 模块（即存在地址 00000 的情况），则需要将 DPort-M 的广播功能禁用，禁用广播功能后，可以使用 00000 地址。

2. DPort-G 典型应用电路

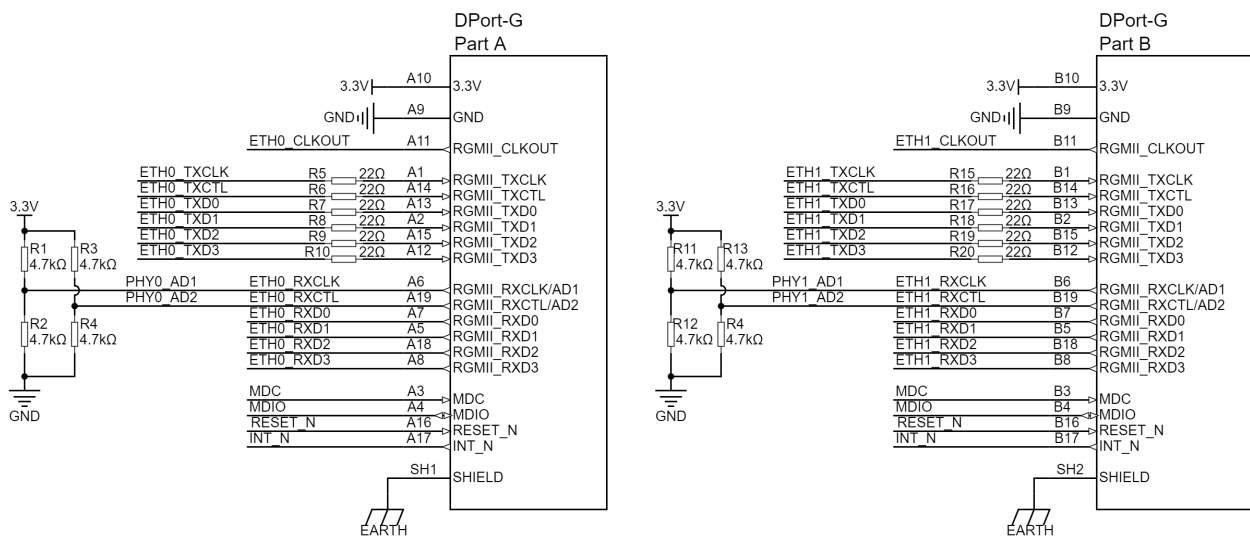


图 5 DPort-G 典型应用电路

DPort-G 的电路如图 5 所示，在使用时，只需将 RGMII 接口、MDIO 接口和以太网控制器连接即可，为保证通讯质量，需要在 TXD 组信号线串联 22Ω 电阻（图 5 中 R5~R10、R15~R20），并且靠近以太网控制器端（一般是 MCU）放置。当需要一路 MDIO 连接多个模块时，则需要在模块的 A6、A19 和 B6、B19 管脚上选择焊接 R1/R2、R3/R4 和 R11/R12、R13/R14 电阻进行 PHY 地址配置，DPort-G 模块默认情况下 PHY_AD[2:0]=001。一路 MDIO 接口最多可以连接 2 个 DPort-G 模块。DPort-G 地址配置检索表如表 4 所示。

表 4 DPort-G 地址配置检索表

| RGMII_RXCTL/ PHY_AD2 | RGMII_RXCLK PHY_AD1 | PYH_Address |
|-------------------------|------------------------|-------------|
| 0 | 0 | 00001 |
| 0 | 1 | 00011 |
| 1 | 0 | 00101 |
| 1 | 1 | 00111 |

3. 原理图设计注意事项

- (1) RMII 与 RGMII 接口的 TX 组信号必须串联匹配电阻, 阻值推荐 22Ω , 具体为上文 DPort-M 应用电路的 R5~R8 和 R13~R16、DPort-G 应用电路的 R5~R10 和 R15~R20;
- (2) DPort 模块的数字地 GND 与外壳大地 EARTH 内部已通过 $1M\Omega$ 电阻与 $1nF$ 电容进行连接, 若模块外部需要另外连接 RC 阻容, 请充分考虑电阻并联后的阻值是否满足要求;
- (3) DPort-M 的 RMII_RXER 信号不是必须信号, 是否需要连接取决于 MAC 端的要求;
- (4) DPort-M 的 RMII_CRSDV 信号为 RMII 接口通讯的必须信号, 必须与 MAC 端 CRS_DV 引脚进行连接;
- (5) DPort-G 的 RGMII_CLKOUT 信号不是必须信号, 该信号可通过寄存器配置为 25MHz 或 125MHz 时钟输出, 是否需要连接取决于 MAC 端的要求;
- (6) DPort 模块复位引脚 RESET_N 为低电平有效, 复位低电平脉宽至少 10ms;
- (7) DPort 模块中断引脚 INT_N 为低电平有效;
- (8) DPort-M 的 PHY 地址不建议使用 00000 地址, 因为 00000 地址为广播地址;
- (9) 使用 DPort 模块时, 请确认好 MAC 端对应信号电平与 DPort 模块端对应信号电平是否匹配。

4. PCB 设计注意事项

- (1) 串联匹配电阻必须放置在信号源端，即信号输出端，DPort 模块的接收组信号内部已经串联匹配电阻，外部直接与 MAC 端连接即可；
- (2) RMII 与 RGMII 接口信号 PCB 走线需控制单端 50Ω 阻抗，RMII 信号包括为：TXD0、TXD1、TXEN、REFCLK、RXD0、RXD1、CRS_DV、(RXER)。RGMII 信号包括为：TXD0~3、RXD0~3、TXCLK、RXCLK、TXCTL、RXCTL；
- (3) RMII 与 RGMII 信号 PCB 走线长度要求以 MAC 端要求为准，应尽量短，DPort-G 模块内部 PHY 芯片引脚到模块排针的长度为：RGMII TXD 组为 1260mil，RGMII RXD 组为 1238mil；
- (4) RMII 接口信号等长以 MAC 端要求为准；
- (5) RGMII 接口信号等长以 MAC 端要求为准，若 MAC 端无要求，建议 TX 组 RX 组分别以 TXCLK、RXCLK 为基准等长 120mil 以内；
- (6) RMII 与 RGMII 信号参考回流平面必须完整；
- (7) RMII 与 RGMII 信号线间距建议至少满足 2W；
- (8) 若产品对辐射发射值有要求，建议 MAC 与 DPort 模块间走线尽量短，RMII、RGMII 信号线走内层；
- (9) 板上其余干扰源，如开关电源等，与 DPort 模块的布线应分开，避免相互之间产生干扰。

产品外观尺寸说明

DPort 机械尺寸如所示图 6、图 7、图 8 所示：

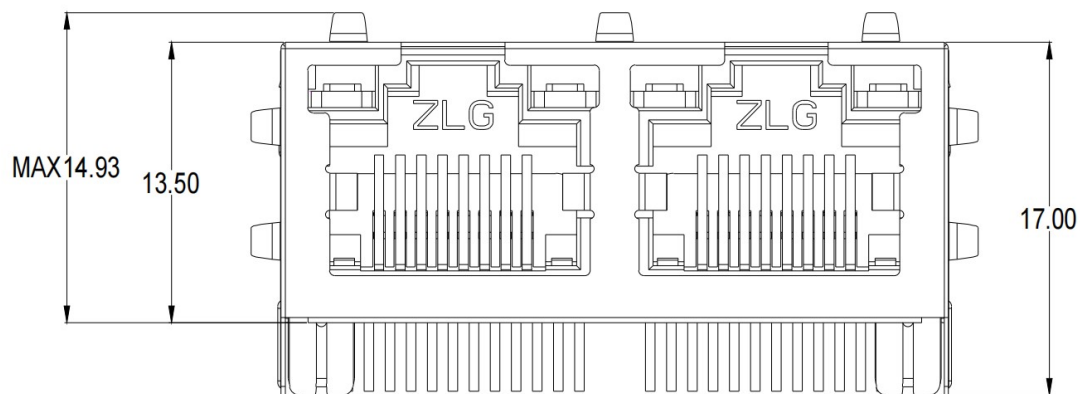


图 6 尺寸图（前视图）

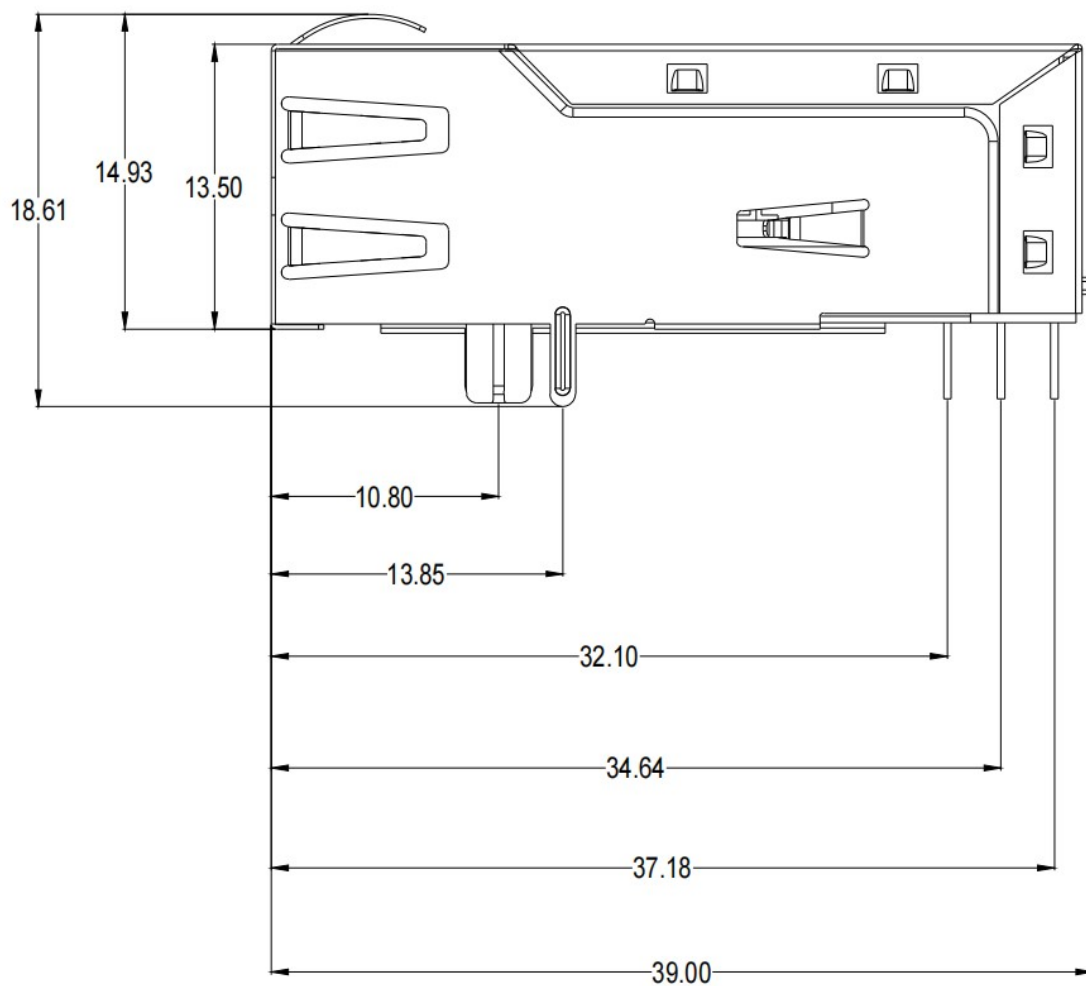


图 7 尺寸图（侧视图）

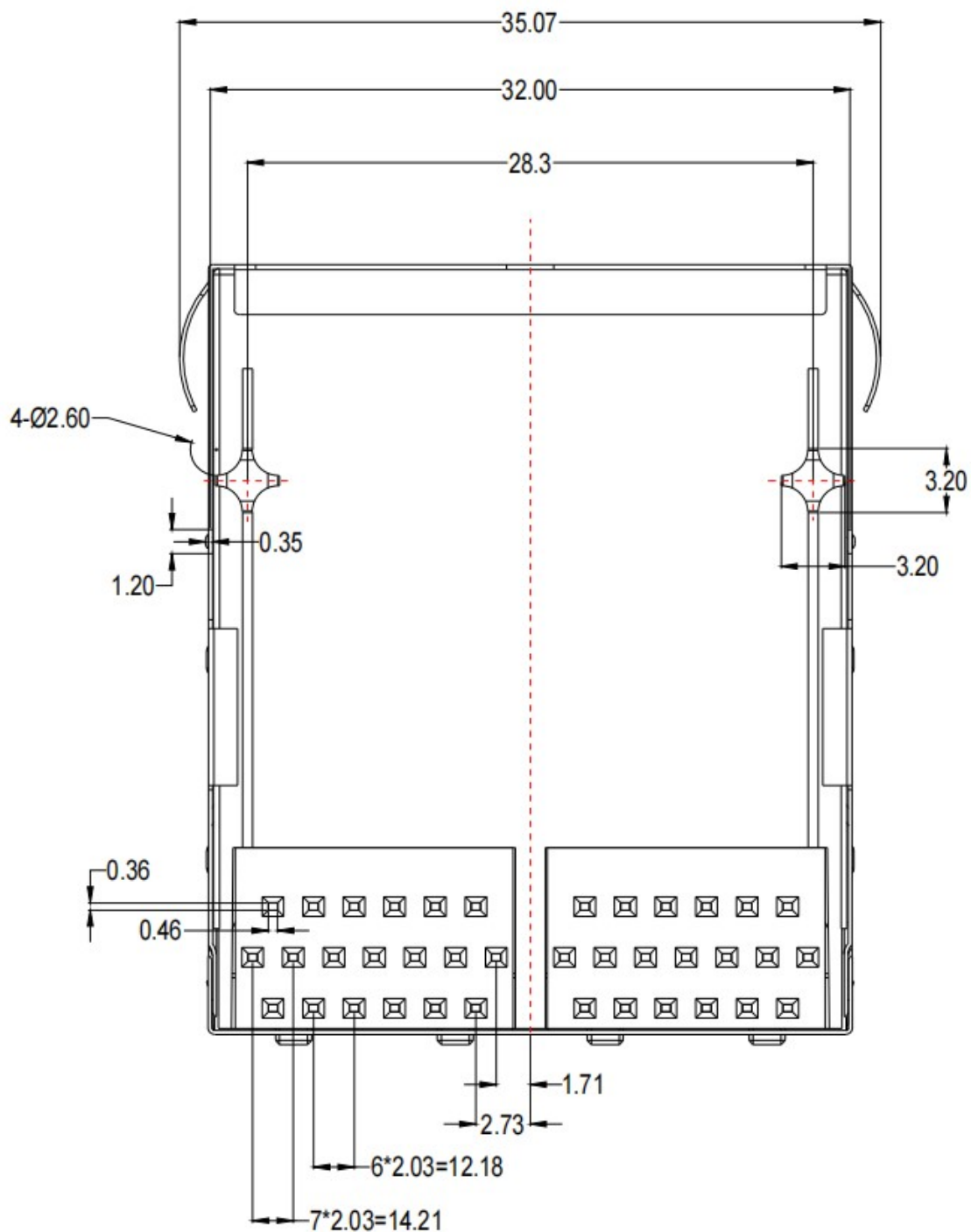


图 8 尺寸图（底视图）

广州致远电子股份有限公司

电话：400-888-4005

E-mail: power.sales@zlg.cn

网址: <http://www.zlg.cn>

特别声明：以上内容广州致远电子股份有限公司保留所有权利，未经我司同意，不正当使用我司产品数据手册，我司保留追究其法律责任的权利。产品数据手册更新时恕不另行通知，如需查看最新版本的信息，请访问我司官方网站或联系我司人员获取。