



## 产品系列

产品系列	速率	温度范围	隔离耐压	封装
ePort-PG	千兆	-40℃~+85℃	1500VAC	THT

## 产品特性

- ◆ 符合 IEEE 802.3/az/u/ab 标准
- ◆ 分立元件模块化，简化电路设计
- ◆ 采用 THT 式封装，易于更换
- ◆ 提高 PCB 板空间利用率
- ◆ 外壳材料符合 UL94 V-0 标准
- ◆ 具有极低电磁辐射和高的抗电磁干扰性
- ◆ 高低温特性好，满足工业级产品要求

## 产品应用

- ◆ 电力监控
- ◆ 工业控制
- ◆ 医疗电子
- ◆ 仪器仪表
- ◆ 石油化工
- ◆ 轨道交通
- ◆ 智能家居等

## 产品型号

产品型号	电源电压 (电压范围) (VDC)	禁用网卡 (mA, Typ)	启用网卡 (mA, Typ)	Ping 通讯 (mA, Typ)	通讯速率 (Mbps)	内部接口	外部接口
ePort-PG	3.3 (3.1-3.5)	66	95.5	194	10/100/1000	PCIE	RJ45

## 模块电气特性

参数	符号	条件	最小值	典型值	最大值	单位
输入电压 <sup>(1)</sup>	V <sub>CC</sub>	10/100/1000Mbps	3.1	3.3	3.5	V
逻辑 IO 输入高电平阈值	V <sub>IH</sub>	-	-	1.5	-	V
逻辑 IO 输入低电平阈值	V <sub>IL</sub>	-	-	-	0.8	V

PCIE 输出电气特性						
参数	符号	条件	最小值	典型值	最大值	单位
差模输出电压摆幅	$V_{TX-DIFFp-p}$	-	0.8	-	1.2	V
AC 共模电压峰值输出的有效值	$V_{TX-CM-ACp}$	-	-	-	20	mV
在 L0 和电气空闲态时 DC 共模电压压差绝对值	$V_{TX-CM-DCACTI}$ $VE-$ $IDLEDELTA$	-	0	-	100	mV
差分线对间 DC 共模电压的压差绝对值	$V_{TX-CM-DCLINE-DELTA}$	-	0	-	25	mV
电气空闲时差分输出电压峰值	$V_{TX-IDLE-DIFFp}$	-	0	-	20	mV
接收单元检测时的电压变化总量	$V_{TX-RCV-DETECT}$	-	-	-	600	mV
单端 DC 共模电压	$V_{TX-DC-CM}$	-	0	-	3.6	V
短路电路限制值	$I_{TX-SHORT}$	-	-	-	90	mA

PCIE 输入电气特性						
参数	符号	条件	最小值	典型值	最大值	单位
差模输入电压峰-峰值	$V_{RX-DIFFp-p}$	-	0.175	-	1.2	V
AC 共模电压峰值输入的有效值	$V_{RX-CM-ACp}$	-	-	-	150	mV
DC 输入差分阻抗	$Z_{RX-DIFF-DC}$	-	80	100	120	$\Omega$
DC 输入单端阻抗	$Z_{RX-DC}$	-	40	50	60	$\Omega$
电器空闲时检测阈值	$V_{TX-IDLE-DET-DIFFp}$	-	65	-	175	mV

PCIE 参考时钟电气特性						
参数	符号	条件	最小值	典型值	最大值	单位
参考时钟频率	$F_{REFCLK}$	无展频时	99.97	100	100.03	MHz
参考时钟抖动有效值	$T_{REFCLK-RMS-C}$	-	-	-	1.0	ps RMS
展频频带	$F_{SSC}$	-	30	-	33	kHz
展频偏差	$T_{SSC-FREQ-DEVIATION}$	-	-	-	+0.0/-0.5	%
收发传输延迟	$V_{TRANSPORT-DELAY}$	-	12	-	-	ns

## 安规特性

参数	条件	最小值	典型值	最大值	单位
隔离电压	输入-输出, 时间 1 分钟, 漏电流小于 1mA	--	1500	--	VAC
绝缘电阻	输入-输出, 绝缘电压 500VDC	--	1	--	GΩ
封装尺寸	--	38.5×16.6×13.5			mm
外壳材料	--	黑色阻燃塑胶外壳+金属屏蔽壳, 符合 UL94 V-0 标准			

## 环境特性

参数	条件	最小值	典型值	最大值	单位
工作温度	上电工作	-40	+25	+85	℃
存储温度	带包装	-45	+25	+90	
存储湿度	无凝结	5	--	95	%
冷却方式	--	自然风冷			

## EMC 特性

EMS <sup>(2)</sup>	静电放电抗扰度	IEC/EN 61000-4-2 Contact ±8kV			Perf.Criteria B
	脉冲群抗扰度	IEC/EN 61000-4-4 ±2kV			Perf.Criteria B
	共模浪涌抗扰度	IEC/EN 61000-4-5 共模±2kV			Perf.Criteria A
	传导骚扰抗扰度	IEC/EN 61000-4-6 10Vr.m.s			Perf.Criteria A

## 焊接特性

参数	条件	最小值	典型值	最大值	单位
管脚焊接温度	焊点距离外壳 1.5mm, 10 秒	--	260	300	℃
热插拔		不支持			

注: (1) 输入电压不能超过所规定范围值, 否则可能会造成永久性不可恢复的损坏。

(2) 此参数仅限于 RJ45 端口, 应用电路图中的大地必须连接, 浪涌抗扰度按非屏蔽对称通信线试验配置进行测试。

(3) 如没有特殊说明, 本手册中的参数都是在 25℃, 湿度 40%~75%, 输入标称电压下测得。

## 模块内部结构

传统以太网分立电路示意图如图 1 所示。

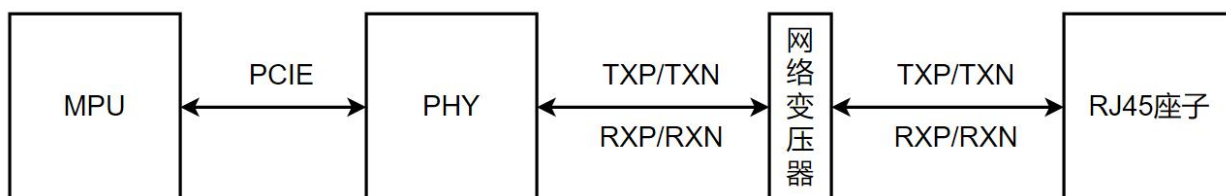


图 1 传统分立电路示意图

ePort 模块将 PHY、网络变压器等元件封装 RJ45 座子中，封装示意图如图 2 所示。

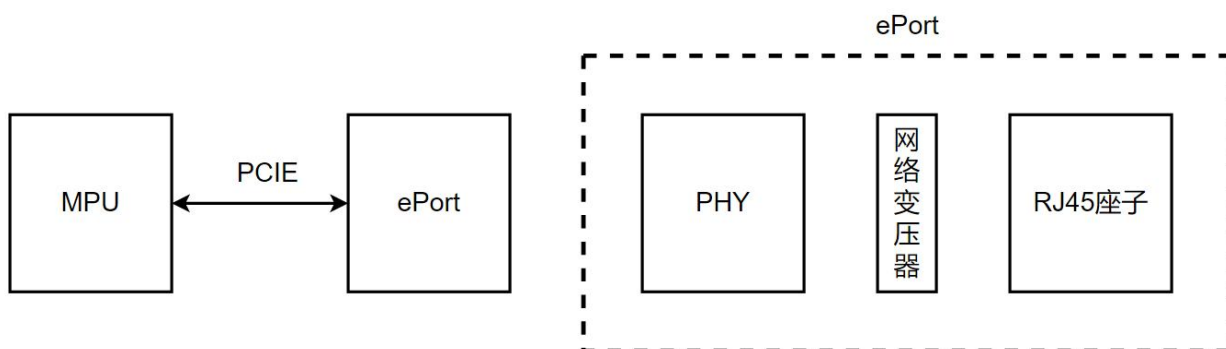


图 2 ePort-PG 内部封装示意图

使用 ePort-PG 模块进行电路设计时，只需完成 MPU 的 PCIE 控制器和 ePort-PG 模块管脚之间走线即可，无需处理 PHY 和网络变压器的外围电路布局和设计。

## 产品管脚说明

ePort-PG 模块管脚顺序如图 3 所示。

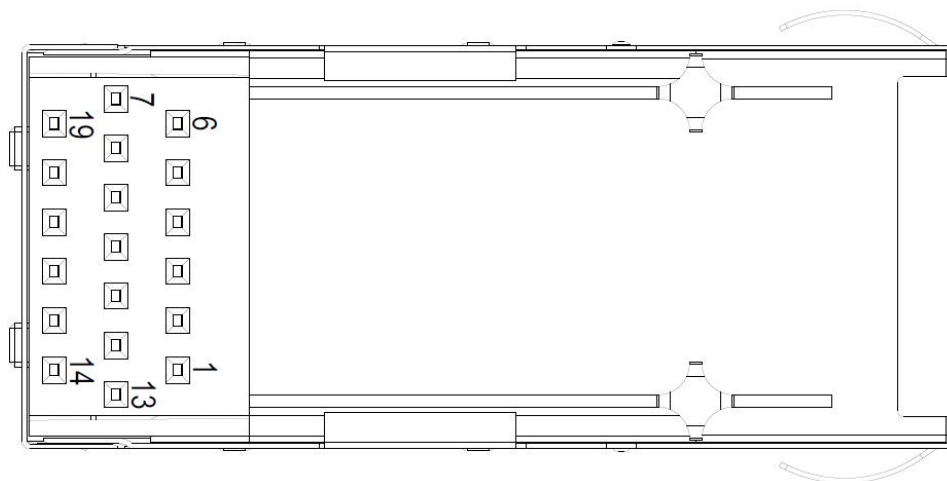


图 3 ePort-PG 管脚顺序示意图（底视图）

ePort-PG 管脚定义如表 2 所示。

表 1 ePort-PG 管脚定义与描述

管脚号	标号	功能描述	管脚类型	信号电平
1	NC	外部悬空		
2	NC	外部悬空		
3	NC	外部悬空		
4	NC	外部悬空		
5	REFCLK_P	参考时钟信号正	I	
6	REFCLK_N	参考时钟信号负	I	
7	HSO_N	以太网接收数据负	O	
8	HSO_P	以太网接收数据正	O	
9	GND	参考地	P	
10	3.3V	3.3V 电源	P	
11	GND	参考地	P	
12	CLKREQ_N	时钟请求信号，不用可悬空	I/O	1.8/3.3V
13	NC	外部悬空		
14	NC	外部悬空		
15	NC	外部悬空		
16	RESET_N	以太网复位信号，不用可悬空	I	1.8/3.3V
17	WAKE_N	主机唤醒信号，不用可悬空	O	1.8/3.3V
18	HSI_P	以太网发送数据正	I	
19	HSI_N	以太网发送数据负	I	

## 电路设计与应用

## 1. ePort-PG 典型应用电路

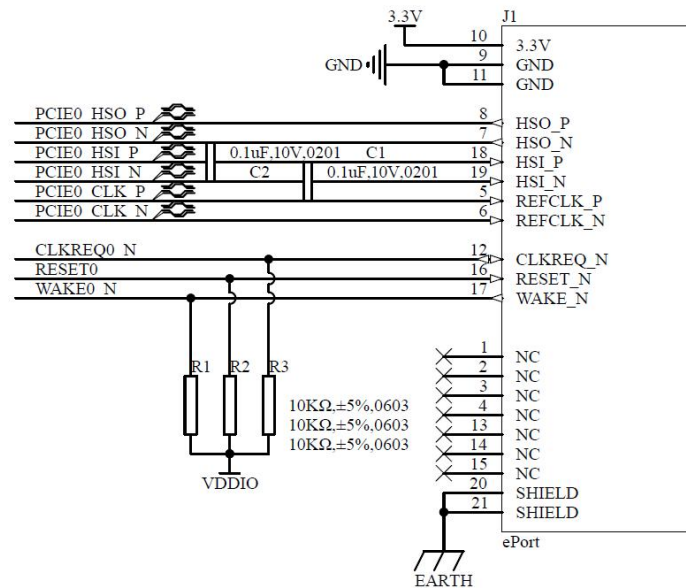


图 4 ePort-PG 典型应用电路

ePort-PG 的电路如图 4 所示，将 ePort-PG 的两对数据差分线、参考时钟差分线连接到 MPU，其中发送数据差分对 HSI 需要在靠近 MPU 的引脚处串联 0.1 $\mu$ F 电容，如图 4 中 C1 和 C2，该电容推荐使用 0201 封装的陶瓷电容。参考时钟为外部输入差分时钟信号，可由 MPU 或专用时钟芯片提供。

复位引脚需要外部上拉电阻，如图 4 中 R2，IO 电平可兼容 1.8/3.3V。

用户可以根据 PCIE 电源管理相关功能配置使用时钟请求引脚 CLKREQ\_N 和电源管理事件引脚 WAKE\_N，这两个引脚均为低电平有效，在使用时需外部上拉电阻，如图 4 中 R1 和 R3，IO 电平可兼容 1.8/3.3V。如果没有低功耗电源管理需求，可以悬空上述引脚。

## 2. 原理图设计注意事项

- (1) 发送数据差分信号对 HSI 必须串联 0.1uF;
- (2) ePort-PG 模块的数字地 GND 与外壳大地 EARTH 内部已通过 1MΩ 电阻与 1nF 电容进行连接, 若模块外部需要另外连接 RC 阻容, 请充分考虑电阻并联后的阻值是否满足要求;
- (3) ePort-PG 的 CLKREQ\_N 和 WAKE\_N 信号不是必须信号, 是否需要连接取决于 root 端的要求;
- (4) ePort 模块复位引脚 RESET\_N 为低电平有效, 复位低电平脉宽为在参考时钟建立之后 100us;
- (5) 使用 ePort-PG 模块时, 请确认好 MPU 对应信号电平与 ePort-PG 模块端对应信号的上拉电平是否匹配。

### 3. PCB 设计注意事项

- (1) PCIE 差分线差分阻抗为  $100\Omega \pm 20\%$ ;
- (2) 差分线对内等长不超过 5mil;
- (3) 差分线对间间距推荐大于等于 15mil;
- (4) 发送数据差分线 HSI 上串接的电容推荐靠近 MPU 端放置;
- (5) 尽量减少在走线上使用过孔;
- (6) 高速 PCIE 信号的参考回流平面必须完整;
- (7) 若产品对辐射发射值有要求, 建议 MPU 与模块间走线尽量短, PCIE 高速信号线走内层;
- (8) 板上其余干扰源, 如开关电源等, 与 DPort 模块的布线应分开, 避免相互之间产生干扰。



产品外观尺寸说明

ePort-PG 机械尺寸如所示图 6、图 7、图 8 所示：

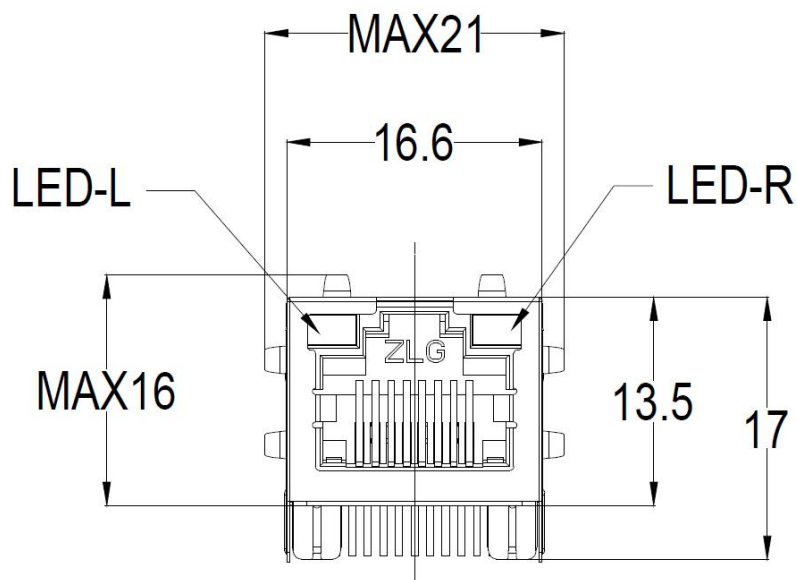


图 6 尺寸图（前视图）

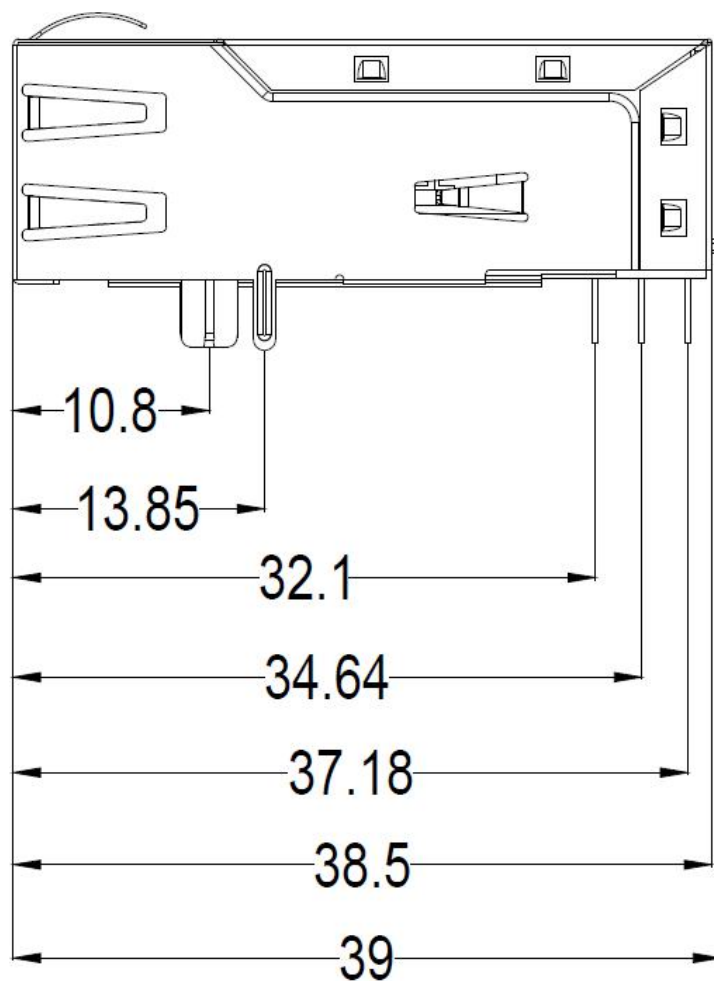


图 7 尺寸图（侧视图）

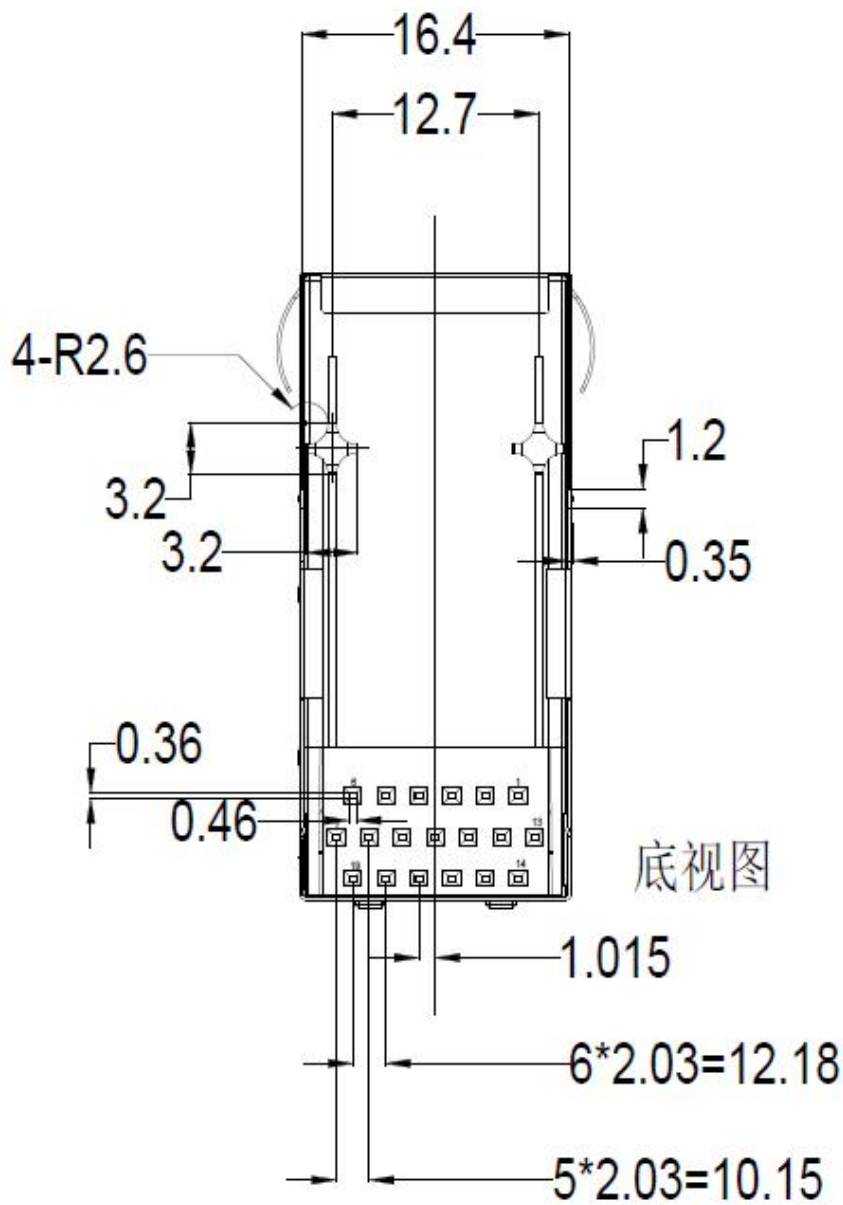


图 8 尺寸图（底视图）

广州致远电子股份有限公司

电话：400-888-4005

E-mail: power.sales@zlg.cn

网址: <http://www.zlg.cn>

特别声明：以上内容广州致远电子股份有限公司保留所有权利，未经我司同意，不正当使用我司产品数据手册，我司保留追究其法律责任的权利。产品数据手册更新时恕不另行通知，如需查看最新版本的信息，请访问我司官方网站或联系我司人员获取。